

#2
J1002 U.S. PTO

10/053276



대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

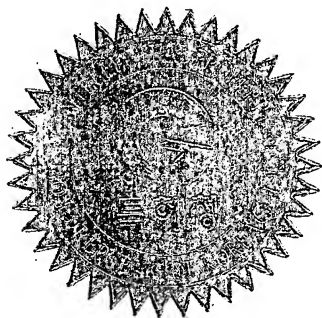
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 5383 호
Application Number

출원년월일 : 2001년 02월 05일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)



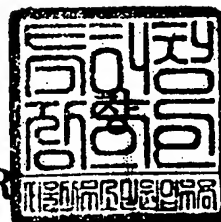
2001년

03월

22일

특허청

COMMISSIONER



BEST AVAILABLE COPY

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2001.02.05
【국제특허분류】	H01L 21/60
【발명의 명칭】	확장 패드들을 포함하는 반도체 칩 패키지
【발명의 영문명칭】	Semiconductor chip package comprising enhanced pads
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	윤동열
【대리인코드】	9-1998-000307-3
【포괄위임등록번호】	1999-005918-7
【대리인】	
【성명】	이선희
【대리인코드】	9-1998-000434-4
【포괄위임등록번호】	1999-025833-2
【대리인】	
【성명】	남희섭
【대리인코드】	9-1999-000451-4
【포괄위임등록번호】	2001-000228-1
【발명자】	
【성명의 국문표기】	변형직
【성명의 영문표기】	BYUN,Hyung Jik
【주민등록번호】	650726-1814613
【우편번호】	330-260
【주소】	충청남도 천안시 신방동 한라동백아파트 101동 1008호
【국적】	KR
【발명자】	
【성명의 국문표기】	이규진
【성명의 영문표기】	LEE,Kyu Jin
【주민등록번호】	661106-1024528

【우편번호】 330-260
【주소】 충청남도 천안시 신방동 대아아파트 104동 1410호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 윤동열 (인) 대리인
 이선희 (인) 대리인
 남희섭 (인)

【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 2 면 2,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 9 항 397,000 원
【합계】 428,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통 2. 위임장_1통[1999년 1월 21일자 포괄위임등록, 1999년 3월 15일자 복 대리인선임, 2001년 1월 3일자 복대리인선임]

【요약서】

【요약】

본 발명은 반도체 칩 패키지(Semiconductor chip package)에 관한 것으로, 더욱 구체적으로는 솔더 볼과 같은 접속단자(Connector)를 이용하여 반도체 칩 패키지를 보드(Board) 등에 실장할 때 반도체 칩 패키지의 실장 신뢰성을 높이기 위한 반도체 칩 패키지의 구조 개선에 관한 것이며, 이를 위하여 기판의 하면에 볼 패드와 더미패드 및 더미패턴을 포함하는 확장 패드들이 기판의 외곽을 따라 형성된 구조를 특징으로 하는 반도체 칩 패키지의 구조를 개시하고, 또한 이들 확장 패드들에 대응되는 확장 랜드들이 구성된 보드의 구조를 개시하고, 이들 확장 패드들과 확장 랜드들을 이용하여 반도체 칩 패키지가 실장된 구조의 예를 개시하며, 이러한 구조적 특징에 따라 확장 패드 전면이 모두 접속단자에 의해 결합되어 솔더 조인트 신뢰성을 향상시킬 수 있는 이점을 가지고, 또한 이들 확장 패드들의 위치가 기판을 중심으로 외곽 부분에 대응되어 형성되고 확장패드들 내에서 더미패턴이 형성되는 방향이 기판의 장변 방향을 따라 평행하게 형성되는 등의 구조에 의해 접속단자의 크랙 발생을 방지할 수 있어, 결국 반도체 칩 패키지의 실장 신뢰성을 향상시킬 수 있다.

【대표도】

도 4

【색인어】

확장 패드, 더미패드(Dummy pad), 더미패턴, 보드, 비지에이(BGA)

【명세서】

【발명의 명칭】

확장 패드들을 포함하는 반도체 칩 패키지 { Semiconductor chip package comprising enhanced pads }

【도면의 간단한 설명】

도 1은 종래의 반도체 칩 패키지가 보드에 실장된 모습을 도시한 단면도,
도 2는 도 1의 기판 하면을 도시한 평면도,
도 3은 도 1의 A 부분을 확대하여 도시한 단면도,
도 4는 본 발명의 일 실시예에 따른 반도체 칩 패키지가 보드에 실장된 모습을 도시한 단면도,
도 5는 도 4의 기판 하면을 도시한 평면도,
도 6은 도 4의 B 부분을 확대하여 도시한 단면도,
도 7a 내지 도 7c는 본 발명에 따른 구성될 수 있는 확장 패드들의 실시예를 도시한 평면도,
도 8a 내지 도 8d는 본 발명에 따른 확장 패드들을 이용하여 반도체 칩 패키지가 보드에 실장되는 공정을 순차적으로 도시한 공정도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

10, 110 : 반도체 칩 12, 112 : 본딩패드

20, 120 : 기판 22, 52, 122, 152 : 보호층(PSR)

24, 124 : 볼 패드 30, 130 : 연결수단

40, 140 : 성형수지 50, 150 : 보드
54, 154 : 볼 랜드 60, 160, 162 : 접속단자
100, 200 : 반도체 칩 패키지
164 : 솔더 페이스트 166 : 스쿼즈
168 : 마스크 170 : 확장 패드
172 : 더미패턴 174 : 더미패드
180 : 확장 랜드

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<20> 본 발명은 반도체 칩 패키지(Semiconductor chip package)에 관한 것이며, 더욱 구체적으로는 솔더 볼(Solder ball)과 같은 접속단자(Connector)를 이용하여 반도체 칩 패키지를 보드(Board) 등에 실장할 때 반도체 칩 패키지의 실장 신뢰성을 높이기 위한 반도체 칩 패키지의 구조 개선에 관한 것이다.

<21> 전자기기의 경박단소화(輕薄短小化) 추세에 따라 반도체 칩을 탑재하는 패키징(Packaging) 기술도 고속·고기능·고밀도 실장이 요구되고 있다. 이러한 요구에 따라 최근에는 반도체 칩을 최소한의 공간 내에서 패키징하는 기술이 등장하였으며, 그 구체적인 예로 에프피비지에이 패키지(FPBGA package ; Fine Pitch Ball Grid Array package), 칩 스케일 패키지(CSP ; Chip Scale Package), 마이크로 비지에이 패키지(μ BGA package ; micro Ball Grid Array package) 등이 등장하게 되

었으며, 이러한 패키지들은 다양한 형태의 실장방법에 의해 구현되었다.

<22> 즉, 솔더 볼과 같은 접속단자를 이용하여 반도체 칩 패키지를 보드 등에 실장하는 경우 반도체 칩 패키지 자체의 신뢰성에 비하여 반도체 칩 패키지와 보드 사이의 결합력이 비교적 낮은 경향을 나타내고 있으며, 이에 따라 솔더 조인트 신뢰성을 향상시키기 위한 다양한 방법이 제시되고 있다.

<23> 예를 들어, 솔더 볼들이 형성된 외곽을 따라 반도체 칩과 전기적으로 연결되지 않고 오직 반도체 칩 패키지의 실장 신뢰성을 높이기 위하여 형성되는 더미 볼(Dummy ball)을 적용시킨 방법, 솔더 볼의 크기를 조절하는 방법, 솔더 볼이 부착되는 볼 패드를 조절하기 위하여 볼 패드 주위의 보호막(PSR ; Photo Solder Resist)의 형상을 조절하는 방법, 또는 솔더 볼의 재질을 변경하는 방법 등이 있었다.

<24> 본 발명에서는 위와 같은 방법들 외의 방법으로 솔더 조인트 신뢰성을 확보할 수 있는 반도체 칩 패키지의 구조에 관하여 기술한다.

<25> 도 1은 종래의 반도체 칩 패키지(100)를 도시한 단면도이며, 도 2는 도 1의 기판(20) 하면을 도시한 평면도이고, 도 3은 도 1의 A 부분을 확대하여 도시한 단면도이다. 도 1 내지 도 3을 참고로 하여 종래의 일반적인 비지에이(BGA) 방식의 반도체 칩 패키지(100)의 구조를 설명한다.

<26> 종래의 비지에이(BGA) 방식 반도체 칩 패키지(100)는 반도체 칩(10)이 기판(20)의 상면에 실장되고, 반도체 칩의 본딩패드들(12)이 본딩 와이어(Bonding wire)와 같은 연결수단(30)을 통하여 기판상의 금속배선(도시되지 않음)에 연결되

고, 반도체 칩(10)과 연결수단(30)을 포함하는 전기적 연결부분이 에폭시 몰딩 컴파운드(EMC ; Epoxy Molding Compound)와 같은 성형수지(40 ; Molding resin)로 봉지되어 있다. 또한, 기판(20)의 하면에는 전술한 금속배선과 전기적으로 대응되어 형성된 볼 패드(24)들이 보호층(22 ; PSR) 사이로 오픈되고 각 볼 패드(24) 위에 솔더 볼과 같은 접속단자(60)가 부착된다. 이러한 구조의 반도체 칩 패키지(100)는 각 볼 패드(24) - 또는 접속단자들 - 에 대응되는 볼 랜드들(54 ; Ball land)이 형성된 보드(50 ; Board) 위로 실장될 수 있다.

<27> 도 3에 도시된 바와 같이, 반도체 칩 패키지의 볼 패드들(24)과 보드의 볼 랜드들(54)은 솔더 볼과 같은 접속단자(60)에 의해 전기적·물리적으로 연결되며, 이처럼 접속단자가 볼 패드들 또는 볼 랜드들과 구성하는 결합의 신뢰성은 반도체 칩 패키지의 실장 신뢰성에 직접적으로 영향을 줄 수 있다.

<28> 도면을 참고로 하여 살펴본 바와 같이, 비지에이 방식 반도체 칩 패키지는 솔더 볼을 매개로 하여 실장되기 때문에 반도체 칩 패키지의 실장 신뢰성은 결국 접속단자의 솔더 조인트 신뢰성에 크게 기인한다.

<29> 그러나 최근의 추세에 따르면, 반도체 칩 패키지에 적용되는 솔더 볼의 크기는 점점 소형화하고 있기 때문에 반도체 칩 패키지가 보드 위에 실장되는 높이(실장높이 ; Mounting height)가 낮아지는 등의 이유로 결합 부분에 크랙(Crack)과 같은 손상이 쉽게 발생하고 있다.

<30> 특히, 도 2와 같이 격자형으로 배열된 다수의 볼 패드들에 부착되는 솔더 볼들 중에서 외곽에 위치한 솔더 볼들에서 쉽게 크랙이 발생하고 있다. 또한, 크랙

이 발생하는 방향을 기준으로 볼 때에는 기판의 평면 형상을 기준으로 장변을 따라 크랙이 쉽게 발생하는 것을 알 수 있다. 이는 크랙이 발생하는 주된 요인이 상이한 열팽창에 따른 응력(Stress)의 발생인 것에 미루어 쉽게 이해될 수 있다.

<31> 즉, 솔더 볼과 볼 패드들 또는 솔더 볼과 볼 랜드들이 상이한 열팽창계수 (CTE ; Coefficient Thermal Expansion)의 값을 갖고 있음에 따라, 반도체 칩 패키지가 온도순환시험(T/C ; Temperature Cycling) 등과 같은 다양한 온도 조건을 통과하는 과정에서 솔더 볼이 팽창되는 정도와 볼 패드들 또는 볼 랜드들이 수축·팽창되는 정도가 서로 다르기 때문에 응력이 발생하게 되고, 이에 따라 솔더 볼과 볼 패드 또는 솔더 볼과 볼 랜드 사이의 결합 부위에서 크랙이 발생될 수 있다.

<32> 이와 같은 크랙은 솔더 볼과 볼 패드들이 결합된 부분 - 예컨대, 솔더 볼과 반도체 칩 패키지의 기판 사이 - 에서 주로 발생되며, 이에 따라 기판의 외곽부를 따라 형성된 솔더 볼들과 기판의 볼 패드들 사이의 결합력을 보완하여야 하는 문제점을 나타내었다.

【발명이 이루고자 하는 기술적 과제】

<33> 본 발명의 목적은 솔더 볼과 볼 패드 사이에 크랙이 발생하는 것을 방지하는 반도체 칩 패키지를 제공하는 것이다.

<34> 본 발명의 다른 목적은 기판의 외곽부분에 부착된 솔더 볼들이 손상됨으로써 반도체 칩 패키지의 실장 신뢰성이 저하되는 것을 방지하기 위한 것이다.

【발명의 구성 및 작용】

<35> 이러한 목적들을 달성하기 위하여 본 발명은 본딩패드들이 형성된 반도체 칩과; 반도체 칩이 실장되는 상면과, 본딩패드들에 대응되어 전기적으로 연결되는 금속배선 및

볼 패드들이 구비된 하면을 갖는 기판과; 본딩패드와 그에 대응되는 금속배선을 전기적으로 연결하는 연결수단과; 볼 패드들 위에 형성되는 솔더 볼들; 및 연결수단이 형성된 영역을 봉지하는 성형수지;를 포함하고, 볼 패드들은 기판의 하면에 격자형으로 다수 배열되어 있으며, 볼 패드들이 배열된 외곽부분에는 더미패턴과 더미패드를 포함하는 확장 패드들이 형성된 것을 특징으로 하는 확장 패드들을 포함하는 반도체 칩 패키지를 제공한다.

<36> 본 발명에 따른 반도체 칩 패키지에 있어서, 확장 패드들의 형태는 한 개의 볼 패드와 그에 연결된 한 개의 더미패턴 및 더미패턴과 연결된 더미패드를 포함하거나, 한 개의 볼 패드와 그에 연결된 두 개의 더미패턴 및 각 더미패턴과 연결된 더미패드들을 포함하거나, 또는 두 개의 더미패드 및 더미패드들을 연결하는 한 개의 더미패턴을 포함하여 구성되는 것을 특징으로 한다.

<37> 이하, 첨부도면을 참고로 하여 본 발명의 바람직한 실시예에 따른 반도체 칩 패키지의 구조를 설명한다.

<38> 도 4는 본 발명의 일 실시예에 따른 반도체 칩 패키지(200)를 도시한 단면도이며, 도 5는 도 4의 기판(120) 하면을 도시한 평면도이고, 도 6은 도 4의 B 부분을 확대하여 도시한 단면도이다. 도 4 내지 도 6을 참고로 하여 본 발명에 따른 비지에이(BGA) 방식의 반도체 칩 패키지(200)의 구조를 설명한다.

<39> 본 발명에 따른 비지에이 방식 반도체 칩 패키지(200)는 반도체 칩(110)이 기판(120)의 상면에 실장되고, 반도체 칩의 본딩패드들(112)이 본딩 와이어와 같은 연결수단(130)을 통하여 기판상의 금속배선(도시되지 않음)에 연결되고, 반도체 칩(110)과 연결수단(130)을 포함하는 전기적 연결부분이 에폭시 몰딩 컴파운드(EMC ; Epoxy Molding

Compound)와 같은 성형수지(140)로 봉지되어 있다.

<40> 또한, 기판(120)의 하면에는 전술한 금속배선과 전기적으로 대응되어 형성된 볼 패드(124)들이 보호층(122 ; PSR) 사이로 오픈되고 각 볼 패드(124) 위에 솔더 볼과 같은 접속단자(160)가 부착된다. 이에 더하여, 본 발명의 특징에 따라 기판의 하면을 기준으로 외곽부분에는 확장 패드들(170a, 170b, 170c)이 형성되어 있다. 본 발명에 따른 확장 패드들(170)은 한 개의 볼 패드(124)와 적어도 한 개의 더미패드(174) 및 이들을 연결하는 더미패턴(172)을 포함하는 구조를 가지며, 보다 상세한 구조는 이하에서 다시 상세하기로 한다.

<41> 이러한 구조의 반도체 칩 패키지(200)는 볼 패드(124)와 확장 패드들(170) - 또는 접속단자들(160, 162) - 에 대응되는 볼 랜드들(154 ; Ball land) 및 확장 랜드들(180)이 형성된 보드(150) 위로 실장될 수 있다.

<42> 도 6에 도시된 바와 같이, 반도체 칩 패키지의 볼 패드들(124) 및 확장 패드들(170b)은 보드의 볼 랜드들(154) 및 확장 랜드들(180b)은 솔더 볼과 같은 접속단자(160, 162)에 의해 전기적·물리적으로 연결되며, 이처럼 본 발명에 따른 확장 패드들 및 그에 대응되는 확장 랜드들 사이의 결합은 종래의 구조에 비하여 반도체 칩 패키지의 실장 신뢰성 면에 있어서 보다 높은 신뢰도를 가져올 수 있다.

<43> 이때, 본 발명에 따른 접속단자(162)는 확장 패드와 확장 랜드 사이의 전면에 고르게 부착되는 것을 특징으로 한다. 즉, 기존의 더미 볼(Dummy ball) 등을

추가하여 반도체 칩 패키지의 실장 신뢰성을 향상시키고자 하는 경우는 볼 패드들에 더하여 추가의 더미패드를 형성시킨 후 더미패드 위로 더미 볼을 형성한 것으로, 솔더 볼과 동일한 크기의 접속단자가 추가되는 것에 불과하여 단순히 결합되는 영역의 전체적인 크기가 증가되는 것임에 반하여, 본 발명에 따른 접속단자(162)는 적어도 두개의 패드들과 그 사이에 이어져 형성되는 패턴을 단일 접속단자로 결합시키는 것으로 적어도 두개의 솔더 볼을 포함하는 크기의 접속단자가 추가되는 것이어서 결합력의 향상을 가져올 수 있다.

<44> 또한 도 5에 도시된 것처럼, 본 발명에 따른 확장 패드들(170) 및 그에 대응되는 접속단자들(162)의 형성 영역이 반도체 칩 패키지의 기판을 기준으로 외곽부분이기 때문에, 보다 반도체 칩 패키지의 실장 신뢰성을 향상시킬 수 있다. 즉, 종래의 반도체 칩 패키지에서 격자형으로 배열된 솔더 볼들 중 중심부분에 부착된 솔더 볼들에 비하여 외곽에 부착된 솔더 볼에서 집중적으로 크랙이 발생되던 점을 비추어 볼 때, 외곽부분을 따라 확장 패드들을 형성함으로써 솔더 볼에서 크랙이 발생하는 것을 방지할 수 있는 것이다. 또한, 본 발명에 적용되는 솔더 볼들은 그 크기가 모두 동일한 것을 특징으로 한다.

<45> 도 7a 내지 도 7c는 본 발명에 따른 확장 패드들(170)의 구성예를 도시한 평면도이며, 도 7a 내지 도 7c를 참고하여 이를 설명하면 다음과 같다.

<46> 본 발명에 따른 확장 패드들(170)은 적어도 하나의 더미패드와 더미패턴을 포함하고 있으며, 도 7a에 도시된 확장 패드(170a)는 한 개의 볼 패드(124)에 인접하여 두 개의 더미 패드들(174)이 형성되고 각각 더미패턴들(172)로 연결된 것을

특징으로 한다. 이러한 확장 패드(170a)는 격자형으로 배열된 솔더 볼들 중에서 네 모서리에 위치한 솔더 볼들에 대응되어 형성될 수 있으며, 이때 두 개의 더미패드들(174)은 볼 패드(124)를 기준으로 직각을 이루며 구성되는 것이 바람직하다.

<47> 도 7b에 도시된 확장 패드(170b)는 한 개의 볼 패드(124)에 인접하여 한 개의 더미패드(174)가 형성되고 더미패턴(172)으로 연결된 것을 특징으로 하며, 이러한 확장 패드(170b)는 격자형으로 배열된 솔더 볼들 중에서 기판의 단변에 대응되어 위치한 솔더 볼들에 대응되어 형성될 수 있다.

<48> 도 7c에 도시된 확장 패드(170c)는 두 개의 더미패드(174)들이 형성되고 이들이 더미패턴(172)으로 연결된 것을 특징으로 하며, 이러한 확장 패드(170c)는 격자형으로 배열된 솔더 볼들 중에서 기판의 장변에 대응되어 위치한 솔더 볼들에 인접하여 형성될 수 있다.

<49> 이와 같은 확장 패드들(170)의 차이점은 도 4에 도시된 기판(120)의 하부 평면도를 참고할 때 보다 명확하게 설명될 수 있다. 즉, 기판의 네 모서리에 해당되는 볼 패드(124)에는 각각 직각으로 형성된 두 개의 더미패드들이 더미패턴으로 연결되어 확장 패드(170a)의 첫 번째 예를 이루며, 기판의 단변 쪽에는 한 개의 볼 패드와 한 개의 더미패드가 더미패턴으로 연결되어 확장 패드(170b)의 두 번째 예를 이루고, 기판의 장변 쪽에는 두 개의 더미패드들이 한 개의 더미패턴으로 연결되어 확장 패드(170c)의 세 번째 예를 이루는 것이다. 이들 확장 패드들(170)에 대응되어 역시 동일한 구성으로 볼 랜드(154)를 포함하는 확장 랜드들(180)이 보드 (150)에 구성되며, 확장 랜드들(180)은 확장 패드들(170)의 구성과 극히 유사하므로 이에 대한 상세한 설명은 생략하기로 한다.

<50> 이때, 본 발명에 따른 확장 패드들에 포함되는 더미패턴들에는 공통점이 있는 것을 알 수 있다. 즉, 대부분의 더미패턴들은 기판의 장변 방향으로 평행하게 형성된다. 이는 종래의 구조에서 크랙의 주된 요인이 기판과 솔더 볼의 상이한 열팽창에 따른 응력의 발생인 것에 미루어 장변을 따라 크랙이 발생하는 점에 착안한 것으로, 더미패턴이 기판의 단변 방향을 따라 평행하게 형성되는 경우에 비하여 보다 효과적으로 크랙을 방지할 수 있음을 알 수 있다.

<51> 도 8a 내지 도 8d는 본 발명에 따른 확장 패드(170)를 이용하여 접속단자가 형성되는 공정을 도시한 공정도이며, 도 8a 내지 도 8d를 참고로 하여 이를 설명하면 다음과 같다. 부연한다면, 도 8에 도시된 확장 패드(170b)는 기판의 장변 쪽에 구성된 두 번째 예의 확장 패드를 나타낸 것으로, 다른 구성의 확장 패드들에 대해서도 동일한 공정이 적용됨은 당연하다.

<52> 본 발명에 따른 반도체 칩 패키지의 실장 공정을 설명하면, 먼저 볼 랜드(154)와 확장 랜드(180b)가 보호막(152 ; PSR)에서 노출되어 구성된 보드(150)가 제공되며(도 8a), 보드(150) 위에 마스크(168)가 형성된 후 스퀴즈(166)와 같은 수단을 이용하여 분말의 솔더 페이스트(164)가 볼 랜드(154) 및 확장 랜드(180b) 위에 형성된다(도 8b). 솔더 볼들(160)이 기판(120)의 볼 패드(124)들과 더미 패드(174) 위에 부착된 후(도 8c), 기판(120)과 보드(150)가 솔더 볼들(160) 및 솔더 페이스트(164)를 매개로 결합된다(도 8d).

<53> 이처럼, 본 발명에 따른 확장 패드들을 이용하는 경우에는 기존의 더미 볼을 이용한 경우 추가의 더미패드 위에만 솔더 볼이 부착되어 결합되는 것과는 달리, 볼 패드(124)와 더미패드(174) 그리고 더미패턴(172)에 이르는 확장 패드(170)의 전 영역이 모

두 단일 접속단자(162)로 결합되기 때문에 솔더 조인트(Solder Joint) 신뢰성이 크게 향상되는 이점을 가져올 수 있으며, 또한, 더미패턴이 형성되는 방향이 종래의 구조에서 크랙이 주로 일어나는 방향을 기준으로 형성되기 때문에 보다 효과적으로 접속단자의 크랙을 방지할 수 있어 반도체 칩 패키지의 실장 신뢰성을 향상시킬 수 있다.

<54> 이상에서 설명된 바와 같이, 본 발명은 솔더 볼과 같은 접속단자를 이용하여 반도체 칩 패키지를 보드 위에 실장시키는 구조에서 접속단자의 결합력을 보다 향상시킴으로써 반도체 칩 패키지의 실장 신뢰성을 향상시킨 것을 특징으로 한다.

<55> 본 발명의 실시예에서는 반도체 칩 패키지와 보드의 결합을 기준으로 설명되었으나, 이에 더하여 접속단자로 솔더 볼을 이용하는 대부분의 경우에 대하여 본 발명의 기술적 사상의 범위 내에서 자유롭게 적용될 수 있다. 즉, 반도체 칩 패키지와 보드의 결합 구조 뿐 아니라 보드와 보드의 결합 또는 반도체 칩 패키지와 반도체 칩 패키지의 결합 구조 등 다양한 방식으로 본 발명의 기술적 사상이 전개될 수 있음은 자명하다.

<56> 또한, 본 발명의 실시예로 비지에이(BGA) 방식의 반도체 칩 패키지가 설명되었으나, 이에 한정되지 않고 솔더 볼을 접속단자로 이용하는 대부분의 반도체 칩 패키지가 적용될 수 있음은 역시 자명하다.

【발명의 효과】

<57> 본 발명에 따른 반도체 칩 패키지는 접속단자가 부착되는 영역으로 볼 패드와 더미 패드 및 이들을 연결하는 더미패턴을 포함하는 확장 패드가 구성된 것을 구조적 특징으로 하며, 이들 확장 패드 위로 솔더 볼들이 부착된 후 확장 패드에 대응되는 확장 랜드

가 구성된 보드 위로 반도체 칩 패키지가 실장됨으로써 확장 패드 전면이 모두 접속단자에 의해 결합되어 솔더 조인트 신뢰성을 향상시킬 수 있는 이점을 갖는다. 또한, 이들 확장 패드들의 위치가 기판을 중심으로 외곽 부분에 대응되어 형성되고, 확장 패드들 내에서 더미패턴이 형성되는 방향이 기판의 장변 방향을 따라 평행하게 형성되는 등의 구조에 의해 접속단자의 크랙 발생을 방지할 수 있어, 결국 반도체 칩 패키지의 실장 신뢰성을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

본딩패드들이 형성된 반도체 칩;

상기 반도체 칩이 실장되는 상면과, 상기 본딩패드들에 대응되어 전기적으로 연결되는 금속배선 및 볼 패드들이 구비된 하면을 갖는 기판;

상기 본딩패드와 그에 대응되는 금속배선을 전기적으로 연결하는 연결수단;

상기 볼 패드들 위에 형성되는 솔더 볼들; 및

상기 연결수단이 형성된 영역을 봉지하는 성형수지;를 포함하고,

상기 볼 패드들은 상기 기판의 하면에 격자형으로 다수 배열되어 있으며, 상기 볼 패드들이 배열된 외곽부분에는 더미패턴과 더미패드를 포함하는 확장 패드들이 형성된 것을 특징으로 하는 확장 패드들을 포함하는 반도체 칩 패키지.

【청구항 2】

제 1 항에 있어서, 상기 확장 패드들 중 일부는 한 개의 볼 패드와 상기 볼 패드에서 연결된 한 개의 더미패턴 및 상기 더미패턴과 연결된 더미패드로 구성된 것을 특징으로 하는 확장 패드들을 포함하는 반도체 칩 패키지.

【청구항 3】

제 1 항에 있어서, 상기 확장 패드들 중 일부는 한 개의 볼 패드와 상기 볼 패드에서 연결된 두 개의 더미패턴 및 상기 각 더미패턴과 연결된 더미패드들로 구성된 것을 특징으로 하는 확장 패드들을 포함하는 반도체 칩 패키지.

【청구항 4】

제 1 항에 있어서, 상기 확장 패드들 중 일부는 두 개의 더미패드 및 상기 더미패드들을 연결하는 한 개의 더미패턴으로 구성된 것을 특징으로 하는 확장 패드들을 포함하는 반도체 칩 패키지.

【청구항 5】

제 1 항에 있어서, 상기 확장 패드들에 대응되어 확장 랜드들과 상기 볼 패드들에 대응되는 볼 랜드들이 형성된 보드가 있으며, 상기 반도체 칩 패키지는 상기 보드에 실장되는 것을 특징으로 하는 확장 패드들을 포함하는 반도체 칩 패키지.

【청구항 6】

제 5 항에 있어서, 상기 반도체 칩 패키지의 볼 패드 및 더미패드 위에 부착된 솔더 볼들과, 상기 보드의 볼 랜드 및 확장 랜드들 위에 도포된 솔더 페이스트가 결합됨으로써 상기 반도체 칩 패키지가 상기 보드에 실장되는 것을 특징으로 하는 확장 패드들을 포함하는 반도체 칩 패키지.

【청구항 7】

제 6 항에 있어서, 상기 확장 랜드들 위에 도포된 솔더 페이스트는 솔더 리플로우 공정을 통하여 상기 솔더 볼들 및 확장 패드들의 더미패턴에 고르게 접촉되는 것을 특징으로 하는 확장 패드들을 포함하는 반도체 칩 패키지.

【청구항 8】

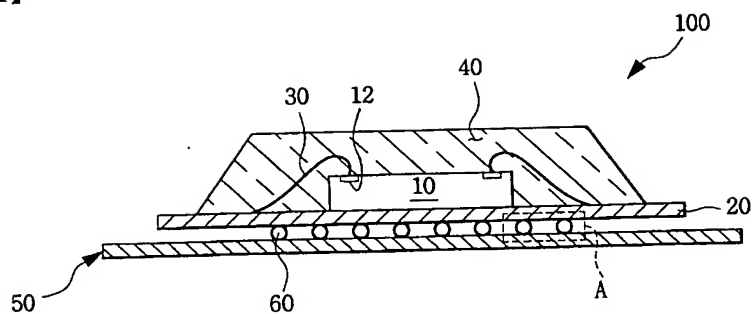
제 1 항에 있어서, 상기 솔더 볼들은 모두 동일한 크기인 것을 특징으로 하는 확장 패드들을 포함하는 반도체 칩 패키지.

【청구항 9】

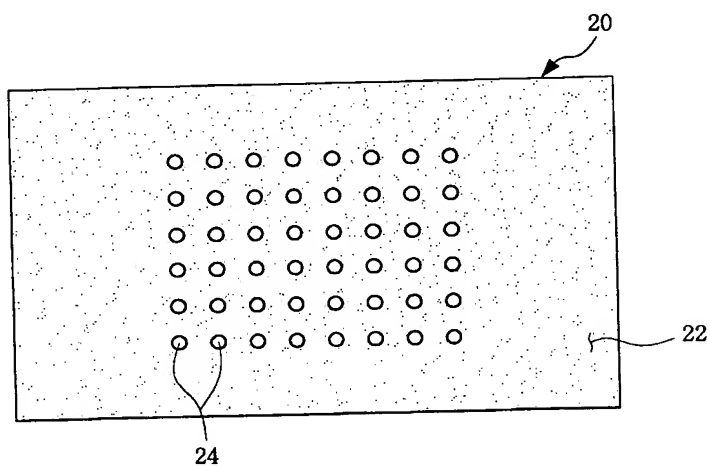
제 1 항에 있어서, 상기 반도체 칩 패키지의 기판 하면은 직사각형 형상의 평면으로 구성되어 있으며, 상기 더미패턴들의 다수는 상기 하면의 장변에 평행한 방향으로 형성된 것을 특징으로 하는 확장 패드들을 포함하는 반도체 칩 패키지.

【도면】

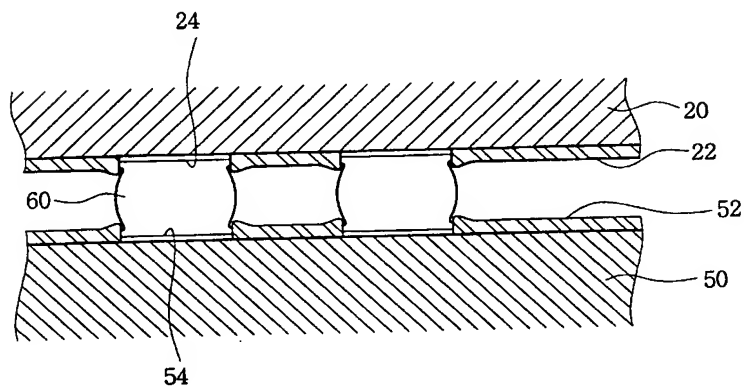
【도 1】



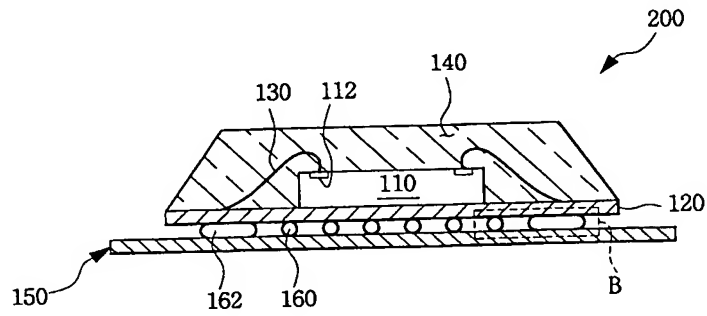
【도 2】



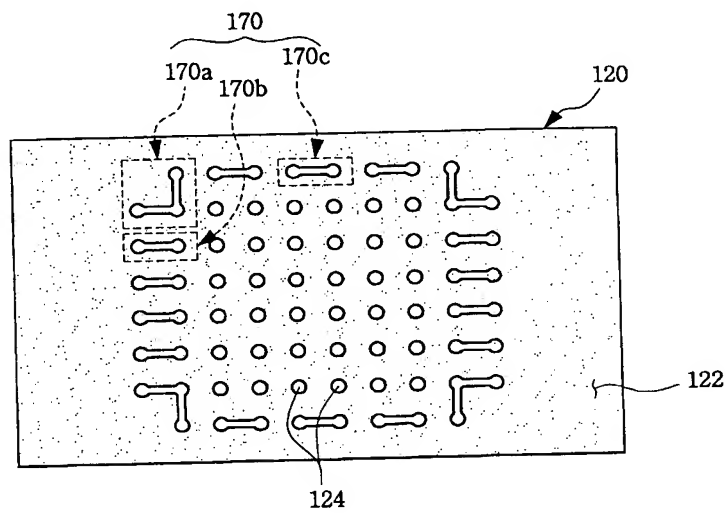
【도 3】



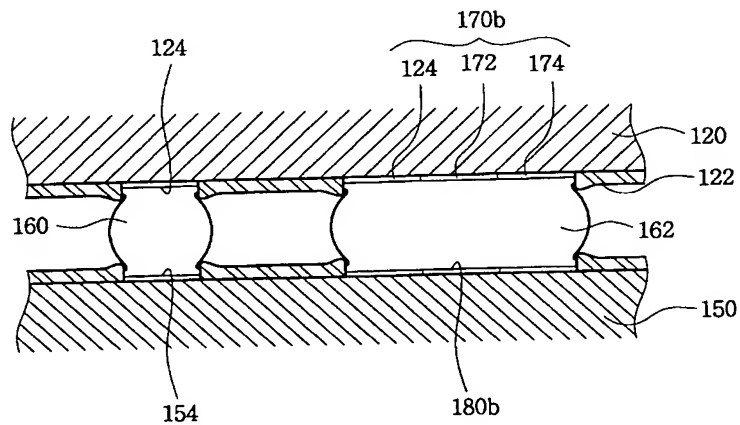
【도 4】



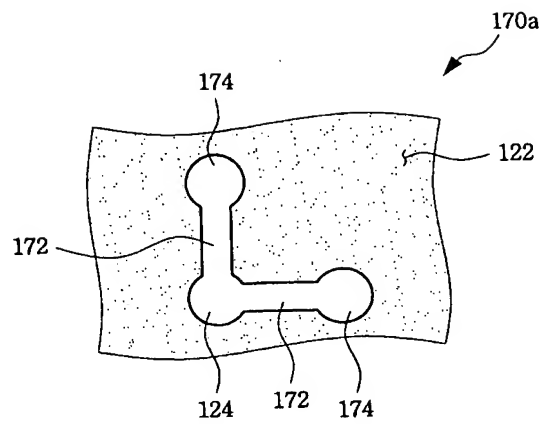
【도 5】



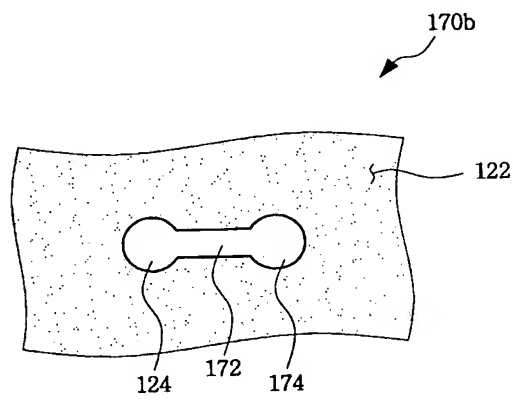
【도 6】



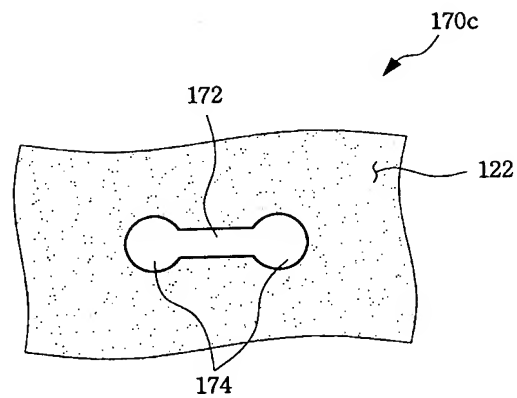
【도 7a】



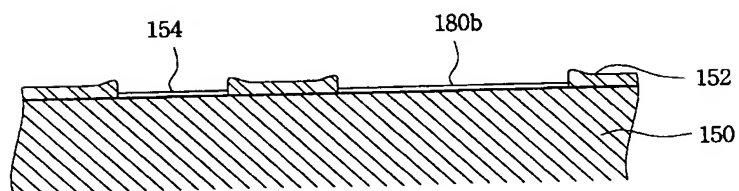
【도 7b】



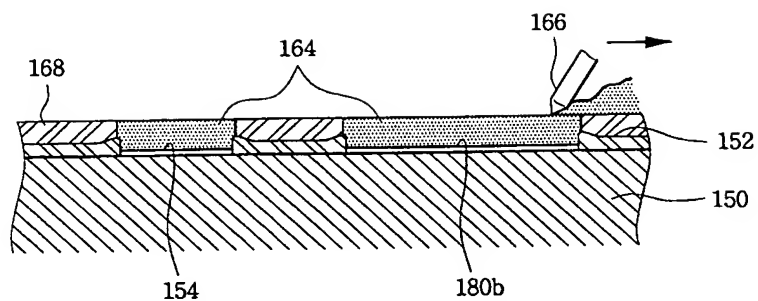
【도 7c】



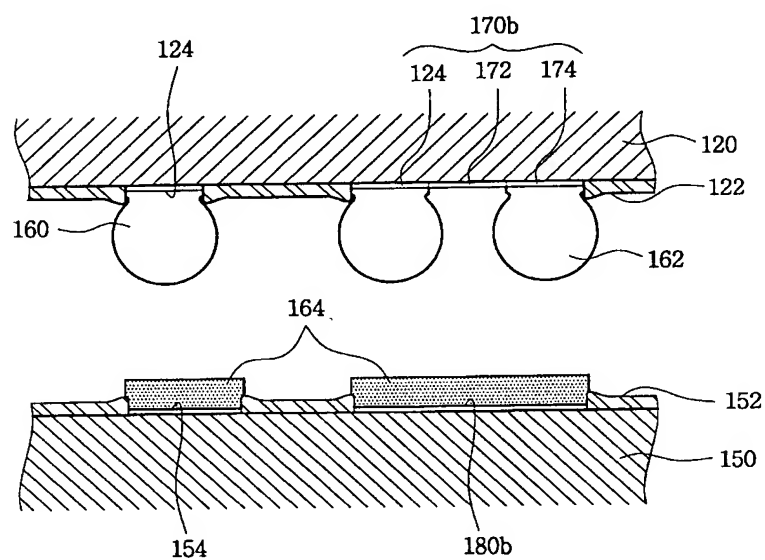
【도 8a】



【도 8b】



【도 8c】



【도 8d】

